

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-289807

(P2002-289807A)

(43)公開日 平成14年10月4日(2002.10.4)

(51)Int.Cl.⁷

識別記号

F I

テ-マ-ト*(参考)

H 0 1 L 27/105

G 1 1 C 11/14

A 5 F 0 8 3

G 1 1 C 11/14

11/15

11/15

H 0 1 L 43/08

Z

H 0 1 L 43/08

27/10

4 4 7

審査請求 未請求 請求項の数9 O L (全 14 頁)

(21)出願番号

特願2001-90768(P2001-90768)

(22)出願日

平成13年3月27日(2001.3.27)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 中島 健太郎

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 斉藤 好昭

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

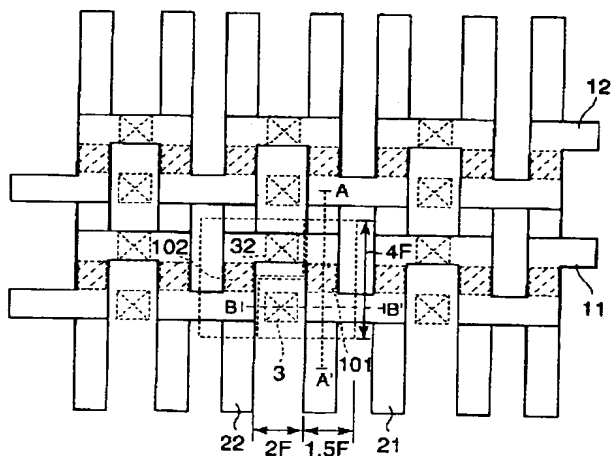
最終頁に続く

(54)【発明の名称】 磁気メモリ装置および磁気抵抗効果素子

(57)【要約】

【課題】 トンネル接合素子を用いた固体磁気メモリにおいて、書き込み配線からの磁界発生効率を高める、さらに書き込み時の半選択セルへの誤書き込みを防ぐため書き換え電流値の許容幅を高める手段を提供する。

【解決手段】 二本の書き込み配線をトンネル接合素子近傍に於いて略平行に走行するように配置する。メモリ全体領域では二本の書き込み配線は直交し、クロスポイント型の配置となるのでセル選択は容易である。磁気シールド、バイアス膜を用いてもよい。



1

【特許請求の範囲】

【請求項 1】 第 1 の面上で行方向に配列された複数の第 1 の書き込み線と、

前記複数の第 1 の書き込み線の内、所望の第 1 の書き込み線を選択する第 1 のアドレスデコーダと、

前記第 1 の面と異なりかつ平行する第 2 の面上で列方向に配列され、前記複数の第 1 の書き込み線に交差する複数の第 2 の書き込み線と、

前記複数の第 2 の書き込み線の内、所望の第 2 の書き込み線を選択する第 2 のアドレスデコーダと、

前記第 1 と第 2 の書き込み線の交差点の各々において、第 1 と第 2 の書き込み線により膜面垂直方向に挟まれるように配置された磁気抵抗効果素子と、

を具備し、前記第 1 と第 2 の書き込み線は前記交差点において両書き込み線に流される電流が略平行となる部分を有することを特徴とする磁気メモリ装置。

【請求項 2】 第 1 の面上に行列状に配列された複数の磁気抵抗効果素子と、

前記第 1 の面と異なる第 2 の面上において、前記磁気抵抗効果素子に夫々近接して配置された複数の第 1 の書き込み線と、

前記複数の第 1 の書き込み線の内、所望の第 1 の書き込み線を選択する第 1 のアドレスデコーダと、

前記第 2 の面と異なる第 3 の面上で前記第 1 の書き込み線と交差する部分と、前記第 2 の面上で前記磁気抵抗効果素子に夫々近接し、かつ前記第 1 の書き込み線と平行となる部分を有する複数の第 2 の書き込み線と、

前記複数の第 2 の書き込み線の内、所望の第 2 の書き込み線を選択する第 2 のアドレスデコーダと、を具備することを特徴とする磁気メモリ装置。

【請求項 3】 前記磁気抵抗効果素子にバイアス磁界を印加するための高保磁力磁性膜を具備することを特徴とする請求項 1 または 2 に記載の磁気メモリ装置。

【請求項 4】 行方向に配列された複数の第 1 の書き込み線と、

前記複数の第 1 の書き込み線の内、所望の第 1 の書き込み線を選択する第 1 のアドレスデコーダと、

列方向に配列され、前記複数の第 1 の書き込み線に交差する複数の第 2 の書き込み線と、

前記複数の第 2 の書き込み線の内、所望の第 2 の書き込み線を選択する第 2 のアドレスデコーダと、

前記第 1 と第 2 の書き込み線の交差点の各々に配置された磁気抵抗効果素子と、

前記書き込み線からの発生磁界を保持する磁気回路と、前記磁気回路の貫通磁束を前記磁気抵抗効果素子の一方に集中させる磁束集中器と、を具備し、前記第 1 と第 2 の書き込み線は前記交差点において両書き込み線に流される電流が略平行となる部分を有することを特徴とする磁気メモリ装置。

【請求項 5】 前記第 1 と第 2 の書き込み線が、前記磁

2

気抵抗効果素子と別平面に配置され、前記磁気抵抗効果素子をその膜面垂直方向に挟んで配置されてなることを特徴とする請求項 4 に記載の磁気メモリ装置。

【請求項 6】 前記第 1 および第 2 の書き込み線が、前記磁気抵抗効果素子と異なる同一平面に配置されてなることを特徴とする請求項 4 に記載の磁気メモリ装置。

【請求項 7】 前記磁気抵抗効果素子にバイアス磁界を印加するための高保磁力磁性膜をさらに具備することを特徴とする請求項 4 に記載の磁気メモリ装置。

【請求項 8】 書き込み時のセル選択が、前記第 1 と第 2 のアドレスデコーダに、選択セルの行および列アドレスを夫々与えることによって行われることを特徴とする請求項 1 乃至 7 のいずれかに記載の磁気メモリ装置。

【請求項 9】 第 1 の面上に配置された第 1 の書き込み線と、

前記第 1 の面とは異なる第 2 の面上に配置され、前記第 1 の書き込み線に垂直な一方向から前記第 1 の書き込み線側面上部まで配置された第 1 の部分と、前記第 1 の部分に接続し前記第 1 の書き込み線に重なる第 2 の部分と、前記第 1 の部分と逆側の側面において前記第 1 の書き込み線と垂直となるように前記第 2 の部分に接続された第 3 の部分を有する第 2 の書き込み線と、

前記第 1 の書き込み線と前記第 2 の書き込み線の前記第 2 の部分との間に挟まれ、前記第 1 および第 2 の書き込み線のいずれか一方に接続された磁気抵抗効果素子と、を具備し、前記第 1 および第 2 の書き込み線の線幅を a 、前記第 2 の書き込み線の第 1 の部分の中心線と第 3 の部分の中心線との最短距離を b としたとき、 $2a > b > 0$ なる関係を有することを特徴とする磁気抵抗効果素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は強磁性体を用いた情報再生技術に係わり、特に強磁性トンネル接合を利用した不揮発性固体メモリ装置および磁気抵抗効果素子に関する。

【0002】

【従来の技術】磁気ランダムアクセスメモリ (Magnetic Random Access Memory; 以下 MRAM と略記) とは、情報の記録担体として強磁性体の磁化方向を利用した、記録情報を随時書き換え、保持、読み出すことができる固体メモリの総称である。

【0003】MRAM のメモリセルは、通常複数の強磁性体を積層した構造を有する。情報の記録は、メモリセルを構成する複数の強磁性体の磁化の相対配置が、平行か反平行であるかを 2 進の情報 “1”、“0” に対応させて行う。記録情報の書き込みは、各セルの強磁性体の磁化方向を、クロスストライプ状に配置された書き込み線に電流を流して生じる電流磁界によって反転させることによって行われる。記録保持時の消費電力は原理的に

3

ゼロであり、また電源を切っても記録保持が行われる不揮発性メモリである。記録情報の読み出しは、メモリセルの電気抵抗が、セルを構成する強磁性体の磁化方向とセンス電流との相対角、または複数の強磁性層間の磁化の相対角によって変化する現象、いわゆる磁気抵抗効果を利用して行う。

【0004】MRAMは、従来の誘電体を用いた半導体メモリとその機能を比較すると、(1) 完全な不揮発性であり、また10¹⁵回以上の書き換え回数が可能であること、(2) 非破壊読み出しが可能であり、リフレッシュ動作を必要としないため読み出しサイクルを短くすることが可能であること、(3) 電荷蓄積型のメモリセルに比べ、放射線に対する耐性が強いこと、等の多くの利点を有している。MRAMの単位面積あたりの集積度、書き込み、読みだし時間は、おおむねDRAMと同程度となり得ることが予想される。従って不揮発性という大きな特色を生かし、携帯機器用の外部記録装置、LSI混載用途、さらにはパーソナルコンピュータの主記憶メモリへの応用が期待されている。

【0005】現在実用化の検討が進められているMRAMでは、メモリセルに強磁性トンネル接合(Magnetic Tunnel Junction; 以下MTJと略記)を用いている(例えば、ISSCC 2000 Digest Paper pp. 128-131参照)。MTJは、主として強磁性層/絶縁層/強磁性層からなる三層膜で構成され、電流は絶縁層をトンネルして流れる。接合の抵抗値は、両強磁性金属層の磁化の相対角の余弦に比例して変化し、両磁化が反平行の場合に極大値をとる。これがトンネル磁気抵抗効果であり、例えばNiFe/Co/Al₂O₃/Co/NiFeでは、50 Oe以下の低磁界において25%を越える磁気抵抗変化率が見い出されている(例えばIEEE Trans. Mag., 33, 3553(1997)参照)。

【0006】MTJの構造としては、磁界感度改善を目的として、一方の強磁性体に隣接して反強磁性体を配置し、磁化方向を固着させたいわゆるスピンバルブ構造のもの(例えばJpn. J. Appl. Phys., 36, L200(1997). 参照)、また磁気抵抗変化率のバイアス依存性を改善するために、二重のトンネルバリアを設けたものが知られている(例えばJpn. J. Appl. Phys., 36, L1380(1997). 参照)。

【0007】しかしながらGbit級の集積度を持つMRAMを開発するためには、解決すべき課題が幾つか残っている。その一つは、書き込み電流の低減である。従来提案されているMRAMでは、配線に電流を流してこれにより発生した磁界でMTJの記録層磁化を反転させる。

【0008】配線からの発生磁界強度は、配線の電流値と配線-MTJ間距離に依存して変化するが、従来知られている報告例ではおよそ数Oe/mA程度である。さらにMTJの記録層の磁化反転閾値(以下スイッチング

4

磁界H_{sw}と定義)は、次式のようにMTJの磁化困難軸方向のサイズ(以下セル幅wと定義)に反比例して増大する。

$$【0009】H_{sw} = H_{sw}^0 + A/w \quad (1)$$

ここで、H_{sw}⁰はバルクのスイッチング磁界である。また、Aはセルの形状、材質等に依存する定数であり、従来知られているAの値は10~200 e・μmである。

【0010】配線の信頼性を考えた場合、エレクトロマイグレーションが一つの制限を与える。エレクトロマイグレーションは配線電流密度で加速され、現在LSI製造に用いられているAl-Cu配線、Cu配線での電流密度上限はそれぞれおよそ10 mA/μm²、100 mA/μm²程度である。

【0011】仮にGbit級の集積度実現に必要な0.1 μmルールでの製造を考えた場合、Cu配線を用いた場合でも配線に流せる電流値の上限は1 mA程度であり、それにより発生する磁界の値は数Oe程度である。一方、0.1 μm程度のサイズのMTJのスイッチング磁界は(1)式に従うと数100 Oe以上になる。すなわち現状の技術ではGbit級MRAMの実現ははなはだ困難である。

【0012】この点を解決するため、例えば米国特許5,940,319号、米国特許5,956,267号、欧州特許WO00/10172号、また特開平8-306014号に記載があるように、配線周囲に高透磁率磁性材料によるキーパー層ないしヨーク構造を設けた例が提案されている。これらの方法はいずれも、配線周囲に発生した磁束をキーパー層ないしヨーク構造内に収束させることで、MTJ近傍に生じる磁界の向上を図り、書き込み電流値の低減を目的としたものである。

【0013】一方、MRAM開発の課題の一つとして、隣接セル間の書き込み時の干渉の問題がある。すなわち、MRAMでは複数の書き込み線が概ね直交するように配置され、クロスマトリックスを形成する。書き込み時には二本の直交する書き込み線を選択し、それにより交点に生じる合成磁界により選択MTJの記録層磁化反転を生じさせる。この場合、選択セル以外に縦横いずれかの配線からの磁界を受ける半選択セルが存在する。従って半選択セルへの誤書き込みを防ぐために、書き換え動作時には選択セルは反転し、半選択セルは反転しないように書き換え電流値を調整する必要がある。大規模アレイでは、MTJのスイッチング磁界に分布が生じるために、一般に書き換え電流値の許容幅は非常に小さくなる。これを解決する手段として、米国特許6,081,445号、6,134,139号、6,005,800号に開示された方法が知られてる。これらはいずれも、書き換え時の電流方向とMTJの容易軸方向とを相対角を適宜制御したものである。

5

【0014】

【発明が解決しようとする課題】上述のように、Gbit級のMRAMを開発するためには、(1) 配線からの磁界発生効率を高めること、(2) 書き込み時の半選択セルへの誤書き込みを防ぐため書き換え電流値の許容幅を高めることが二つの大きな課題である。しかしながら縦型電流素子であるMTJに適した構造を有し、かつ上記二つの課題を解決する方法は知られていない。本発明はこのような課題に対処するためになされたもので、数Gbit以上の記録容量を有する高速、低消費電力の磁気メモリ装置を提供することを目的としている。

10 【0015】

【課題を解決するための手段】上記課題を解決するため本発明は次のような構成を用いている。

【0016】すなわち本発明の第1の磁気メモリ装置は、第1の面上で行方向に配列された複数の第1の書き込み線と、前記複数の第1の書き込み線の内、所望の第1の書き込み線を選択する第1のアドレスデコーダと、前記第1の面と異なりかつ並行する第2の面上で列方向に配列され、前記複数の第1の書き込み線に交差する複数の第2の書き込み線と、前記複数の第2の書き込み線の内、所望の第2の書き込み線を選択する第2のアドレスデコーダと、前記第1と第2の書き込み線の交差点の各々において、第1と第2の書き込み線により膜面垂直方向に挟まれるように配置された磁気抵抗効果素子とを具備し、前記第1と第2の書き込み線は前記交差点において両書き込み線に流される電流が略平行となる部分を有することを特徴とする。

【0017】本発明の第2の磁気メモリ装置は、第1の面上に行列状に配列された複数の磁気抵抗効果素子と、前記第1の面と異なる第2の面上において、前記磁気抵抗効果素子に夫々近接して配置された複数の第1の書き込み線と、前記複数の第1の書き込み線の内、所望の第1の書き込み線を選択する第1のアドレスデコーダと、前記第2の面と異なる第3の面上で前記第1の書き込み線と交差する部分と、前記第2の面上で前記磁気抵抗効果素子に夫々近接し、かつ前記第1の書き込み線と平行となる部分を有する複数の第2の書き込み線と、前記複数の第2の書き込み線の内、所望の第2の書き込み線を選択する第2のアドレスデコーダとを具備することを特徴とする。

【0018】本発明の第3の磁気メモリ装置は、行方向に配列された複数の第1の書き込み線と、前記複数の第1の書き込み線の内、所望の第1の書き込み線を選択する第1のアドレスデコーダと、列方向に配列され、前記複数の第1の書き込み線に交差する複数の第2の書き込み線と、前記複数の第2の書き込み線の内、所望の第2の書き込み線を選択する第2のアドレスデコーダと、前記第1と第2の書き込み線の交差点の各々に配置された磁気抵抗効果素子と、前記書き込み線からの発生磁界を保持する磁気回路と、前記磁気回路の貫通磁束を前記磁

6

気抵抗効果素子の一方方向に集中させる磁束集中器とを具備し、前記第1と第2の書き込み線は前記交差点において両書き込み線に流される電流が略平行となる部分を有することを特徴とする。

【0019】本発明の第4の磁気メモリ装置は、第1の面上に配置された第1の書き込み線と、前記第1の面とは異なる第2の面上に配置され、前記第1の書き込み線に垂直な一方方向から前記第1の書き込み線側面上部まで配置された第1の部分と、前記第1の部分に接続し前記第1の書き込み線に重なる第2の部分と、前記第1の部分と逆側の側面において前記第1の書き込み線と垂直となるように前記第2の部分に接続された第3の部分とを有する第2の書き込み線と、前記第1の書き込み線と前記第2の書き込み線の前記第2の部分との間に挟まれ、前記第1および第2の書き込み線のいずれか一方に接続された磁気抵抗効果素子とを具備し、前記第1および第2の書き込み線の線幅をa、前記第2の書き込み線の第1の部分の中心線と第3の部分の中心線との最短距離をbとしたとき、 $2a > b > 0$ なる関係を有することを特徴とする。

【0020】ここで本発明の望ましい実施形態として次のものが挙げられる。

【0021】(1) トンネル磁気抵抗素子は、一層のトンネルバリアを持ち、トンネルバリアの片側にはFe、Ni、Coを含む強磁性合金又は多層膜とPtMn等反強磁性体薄膜を少なくとも一層含む高保磁力層とが積層された固着層と、もう一端にはFe、Ni、Coを含む強磁性合金又は多層膜とからなる記録層を配置したスピバルブ構造であること。

【0022】(2) トンネル磁気抵抗素子は、二層のトンネルバリアを持ち、トンネルバリアの両側にはFe、Ni、Coを含む強磁性合金又は強磁性多層膜とPtMn等反強磁性体薄膜を少なくとも一層含む高保磁力層とが積層された固着層と、トンネルバリアに挟まれた中間層にはFe、Ni、Coを含む強磁性合金又は多層膜とからなる記録層を配置したデュアルスピバルブ構造であること。

【0023】(3) トンネル磁気抵抗素子の一端は、接地端に接続され、他端は一つの書き込み線を介して電源端に接続されていること。

【0024】(4) 一つの書き込み線には複数のトンネル磁気抵抗素子が並列に接続し、該配線は読み出し配線としても機能すること。

【0025】(5) 選択された磁気メモリセルのデータは、該メモリセルに流れる電流値乃至該メモリセルに生じる電圧降下の値から読み出されること。

【0026】(6) 列書き込み線と行書き込み線は、トンネル磁気抵抗素子近傍では略平行に走行するが、複数の磁気メモリセルを配列した状態では、略直交する配置となること。

【0027】(7) 書き込み線は、複数の平面にまたがって配置されていても良いこと。

【0028】(8) 書き込み線幅、間隔は行方向、列方向で異なっても良いこと。

【0029】(9) 書き込み時のセル選択は、行と列のアドレスデコーダに選択セルの行及び列アドレスを夫々与えることによって行われ、列書き込み線と行書き込み線に流れる電流値と方向を制御することによって行われること。

【0030】(10) 磁気回路及び磁気集中器は初透磁率10以上0以上の軟磁性体からなること。

【0031】(11) 高保磁力膜は、Fe、Ni、Coを含む強磁性合金又は多層膜、乃至はPtMn等反強磁性体薄膜を少なくとも一層含む多層膜からなること。

【0032】

【発明の実施の形態】以下図面を参照して本は発明の実施の形態を説明する。

【0033】(第1の実施形態) 図1は本発明の第1の実施形態に係るセルレイアウトを模式的に示す平面図である。また図2(a)は図1の断面線A-A'に対応するメモリセルの断面を、図2(b)は図1の断面線B-B'に対応するメモリセルの断面をそれぞれ示した図である。なお、図1は理解を容易にするため、基板面側(下側)から見た平面図を示す。

【0034】図1において、11、12は第1の書き込み線、21、22は第2の書き込み線、101、102は強磁性トンネル接合素子、31、32はコンタクトホールである。また図2(a)、(b)において41は下部電極、501、502は選択トランジスタの拡散領域、51は選択トランジスタのワード線である。第1の書き込み線と、第2の書き込み線は電氣的に絶縁されている。また第2の書き込み線はトンネル接合素子と電氣的に接続しておりデータ線を兼用している。

【0035】図1に示すように本実施形態の磁気メモリ装置における記憶セルは、第1の書き込み線、第2の書き込み線とから主に構成される。第1の書き込み線と第2の書き込み線とは、それぞれ異なる平面に配置されており、トンネル接合素子を膜面垂直方向に挟んだ構成をとっている。なお図2では第2の書き込み線が第1の書き込み線の上層にある構成を示しているが、逆の構成も可能である。

【0036】第1の書き込み線と第2の書き込み線は、俯瞰して見ると互いに直交しており、クロスマトリックスを構成している。一方、交差点近傍では、第1の書き込み線と第2の書き込み線は平行に走行している。第1の書き込み線は一定長さ平行に走行した後、直角に曲がり、結果として第1の書き込み線はジグザグ状の形状を有している。第2の書き込み線はメモリアレイ領域内では直線である。

【0037】トンネル接合素子は交差点の第1の書き込

み線と第2の書き込み線とが平行に走行している領域に配置されている。トンネル接合素子の磁化容易軸方向は、第2の書き込み線走行方向に垂直に配置されている。

【0038】本実施形態では第1の書き込み線、第2の書き込み線ともに幅F(設計ルールにおける最小線幅)で形成されており、記憶セルの面積は $10F^2$ となる。

【0039】図3は本発明の実施形態に係るメモリセルブロックの構成を模式的に示したものである。前述のように、第1の書き込み線と第2の書き込み線とは、直交しており異なるアドレスデコーダを介して書き込み線ドライバに接続している。二つのアドレスデコーダは夫々I/O線に接続している。これにより例えばI/O線のアドレスバスからの信号の内、例えば上位アドレス、下位アドレスを夫々第1、第2の書き込み線選択に対応させることで、任意のメモリセルへの書き込みアドレス指定が可能になる。

【0040】トンネル磁気抵抗素子は、一層のトンネルバリアを持ち、トンネルバリアの片側にはFe、Ni、Coを含む強磁性合金又は多層膜とPtMn等反強磁性体薄膜を少なくとも一層含む高保磁力層とが積層された固着層と、もう一端にはFe、Ni、Coを含む強磁性合金又は多層膜とからなる記録層を配置したスピバルブ構造であることが好ましい。

【0041】また、トンネル磁気抵抗素子が、二層のトンネルバリアを持ち、トンネルバリアの両側にはFe、Ni、Coを含む強磁性合金又は強磁性多層膜とPtMn等反強磁性体薄膜を少なくとも一層含む高保磁力層とが積層された固着層と、トンネルバリアに挟まれた中間層にはFe、Ni、Coを含む強磁性合金又は多層膜とからなる記録層を配置したデュアルスピバルブ構造を有していると、素子印加電圧に対する磁気抵抗変化率の減少を低減することができ、また耐圧を高めることができるためより好ましい形態となる。

【0042】次に図4を用いて、本実施形態における情報の書き込みの方法を説明する。図4(a)、(b)は、従来用いられている書き込み方法(図4(a))と本実施形態の方法(図4(b))とを比較したものである。まず図4(a)を例にとって従来例を説明する。

【0043】MRAMに用いられるサブミクロンサイズの強磁性体の磁化過程は一軸異方性の存在下での磁化の一斉回転を仮定して説明することができる。その際の磁化反転の閾値(以下スイッチング磁界 H_{sw} と定義)を H_{sw} とすると、 H_{sw} と困難軸方向磁界 H_x 、容易軸方向磁界 H_y とは次式の関係を持つ。

$$H_x^{2/3} + H_y^{2/3} = H_{sw}^{2/3} \quad (2)$$

図4(a)は、(2)式を模式的に示したものである。

【0044】従来例では、二方向の直交磁界を用い、それぞれの合成磁界が閾値を越えるように一方向磁界(H_x 、 H_y)の値を決める。クロスマトリックス型のアレ

9

イ構造では、困難軸方向のみ、また容易軸方向のみの磁界を受ける半選択セルが存在する。理想的な磁化一斉回転を仮定した場合、半選択セルに対する誤書き込みマージンは $H_x = H_y$ で極大となる。従って一般には $H_x = H_y$ の条件を保って書き込み動作が行われる。

【0045】一方向磁界の最小値 $H_{x\min}$ 、 $H_{y\min}$ は、理想的な磁化一斉回転を仮定すると、(2)式と、 $H_x = H_y$ (3)

の二式を解いて得られ、

$$H_{x\min} = H_{y\min} = 2^{-3/2} H_{sw} \approx -0.35 H_{sw}$$

となる。単純にスイッチング磁界の半分 $0.5 H_{sw}$ を合成する場合に比べ磁界の値が低減されている。

【0046】次に図4(b)を用いて本実施形態の方法を説明する。本実施形態では、トンネル接合素子近傍に置いて第1の書き込み線と第2の書き込み線が平行に走行していることが大きな特徴である。ただし第1の書き込み線が、第2の書き込み線と平行に走行している領域は限られており、実際に第1の書き込み線より発生する磁界の方向は、第2の書き込み線より発生する磁界に対し有限の角度を有している。

【0047】この点を図5(a)、(b)、(c)を用いて再度説明する。すなわち図5(a)に示すように、第1の書き込み線の折れ曲がり領域に於いて、電流は斜めに傾いて流れる。これはインピーダンス最小の経路を優先して流れたものと理解することができる。実際には配線内に電流分布が生じるため複雑になるが、第1の書き込み配線と第2の書き込み配線からの発生磁界 H_x 、 H_y の相対角は、第1近似では、配線幅 a と折れ曲がり部長さ b で決まる角度 $\theta = \tan^{-1}(b/a)$ で決まるとして良い。

【0048】この場合、第1、第2の書き込み配線からの磁界によるセル選択は次のように行われる。図4

(b)に示すように、第2の書き込み線からの磁界 H_y は磁化容易軸に平行である。例えば、その先端 $y = H_{y\min}$ から半径 $H_{x\min}$ の円弧を書くと、その円弧は(2)式のスイッチング曲線と交差する。即ち、合成磁界はスイッチング曲線を超えており、磁化の反転が生じる。このように H_y の先端から半径 H_x の円弧を書き、その円弧がスイッチング曲線と交差するように H_y 、 H_x を定めればよい。 H_x 、 H_y の相対角度は、円弧とスイッチング曲線との二つの交点の範囲に定める。半選択セルに対する誤書き込みマージンは、従来例と同様 $H_x = H_y$ で極大となる。

【0049】図4(a)、(b)では H_x 、 H_y はすべて同じ長さ $2^{-3/2} H_{sw}$ として作図を行っている。図4(b)から分かるように、本実施形態では概略 $\theta = 20 \sim 90^\circ$ の範囲で、円弧がスイッチング曲線を交差して外側に広がっており、書き込み磁界に余裕が生じていることを示している。正確な範囲は(2)式および次の(4)式の解として与えられる。 $H_x^2 + (H_y - 2$

10

$-3/2 H_{sw})^2 = (2^{-3/2} H_{sw})^2$ (4) すなわち本実施形態では、従来例に比べ書き込みに要する電流値を低減することが可能であり、これは本発明の大きな利点である。

【0050】また図4(b)から分かるように書き込み電流値は H_x 、 H_y の相対角が 45° 近傍で最大となる。最大を与える相対角は H_x 、 H_y の値が決まると求めることが可能である。このような相対角は前述のように配線形状により制御することが出来る。図5(b)は、配線幅 a 、折れ曲がり長さ b を共に等しくし、相対角を 45° に設定した例である。また図5(c)は折れ曲がり部を直角でなく 45° の傾きを持たせて形成した例である。このように配線折れ曲がり部の形状を制御することで、最適な書き込み動作点の設定が行えるのは本発明の大きな利点である。

【0051】上記のように二つ書き込み線の線幅を a 、折れ曲がり長さ(折れ曲がり線の二つの平行線の中心線間の距離)を b としたとき、図5(a)は $b = 2a$ 、図5(b)、(c)は $b = a$ となっている。交差する二つの書き込み線の一方の電流経路が垂直から若干斜めとなれば本発明の効果が得られるので、 $2a > b > 0$ なる関係を有することが好ましい。

【0052】しかしながら、折れ曲がり部長さを配線幅より十分長くする、また後述のように磁気シールドを用いる等の方法により、 H_x と H_y とを平行にした動作も可能である。

【0053】(第2の実施形態)図6は本発明の第2の実施形態にかかるセルレイアウトを基板面側から模式的に示す平面図である。図7(a)は図6の断面線A-A'に対応するメモリセルの断面を、図7(b)は図6の断面線B-B'に対応するメモリセルの断面をそれぞれ示した図である。図6、7において、11、12は第1の書き込み線、21、22は第2の書き込み線、101、102は強磁性トンネル接合素子、41、42は下部電極配線である。第1の書き込み線と、第2の書き込み線は電気的に絶縁されている。また第2の書き込み線はトンネル接合素子と電気的に接続しており、データ線を兼用している。

【0054】本実施形態では、セル選択トランジスタを設けておらず、トンネル接合素子はデータ線を兼用する第2の書き込み線と、下部電極配線からなるクロスマトリックスの交差点に配置される。本実施形態で下部電極配線を省略し、トンネル接合素子を第1、第2の書き込み配線を接続する等して配置することも可能であるが、書き込み時に生じる書き込み配線間の電位差に注意が必要である。その場合、トンネル接合素子に直列に整流作用をもつ素子を接続するか、トンネル接合素子に整流作用を持たせる、乃至回路的な工夫により高電圧印加を避ける等の手段を用いることができる。

【0055】本実施形態では、第1の書き込み線、第2

11

の書き込み線とともに幅Fで形成されており、記憶セルの面積は $8F^2$ となる。第1の実施形態に比べセル面積が低減されているのは、セル選択トランジスタを用いないため、トンネル接合素子から下方半導体素子へのコンタクト形成が不要なためである。なお、記憶セルの面積は折れ曲がり部の形状によっても変化する。 H_x 、 H_y の相対角を 45° に近づけるように折れ曲がり部長さを短くするとセル面積も低減され好ましい。

【0056】(第3の実施形態)図8は本発明の第3の実施形態にかかるセルレイアウトを模式的に示す平面図である。10
 矩形の強磁性体では、形状異方性によりその長手方向に磁化容易軸が安定化されるため、メモリセル応用には好ましい。アスペクト比としては1.5以上が好ましく、3~4程度が適している。アスペクト比、セル形状は、セルの所望の特性となるように設計すればよい。

【0057】本実施形態では、トンネル接合素子のアスペクト比として3を仮定した。第2の書き込み線は幅3F、第1の書き込み線は、平行領域では幅3F、直交領域では幅Fで形成されており、記憶セルの面積は $20F^2$ となる。

【0058】本実施形態のように、平行領域、直交領域でそれぞれ異なる幅を用いて配線形成を行うと、セル面積を大幅に低減することが可能であり好ましい形態であるといえる。

【0059】(第4の実施形態)図9は本発明の第4の実施形態にかかるセルレイアウトを模式的に示す平面図である。

【0060】本実施形態における基本的なセル配置は第3の実施形態と同一である。本実施形態では第2の書き込み線201、202がメモリセルアレイ外部に於いて30
 その一端が接続され、共通書き込み線23を形成していることが大きな特徴である。このような構成では、第1の書き込み線11と共通書き込み線に23に書き込み電流を流すことにより、トンネル接合素子101、102に対して相補書き込みを実現することができる。

【0061】なお本実施形態では、第2の書き込み線に共通書き込み線を形成したが、これは第1の書き込み線で形成しても良い。すなわち隣接するセルの記録層の磁化方向が常に反平行であれば良い。なお本発明の趣旨を逸脱しない範囲で、これを満たす構造が本発明に含まれることは言うまでもない。40

【0062】本実施形態では、トンネル接合素子のアスペクト比として3を仮定した。第2の書き込み線は幅3F、第1の書き込み線は、平行領域では幅3F、直交領域では幅Fで形成されており、単一の記憶セルの面積は $28F^2$ となる。

【0063】(第5の実施形態)図10は本発明の第5の実施形態にかかるセルレイアウトを模式的に示す平面図である。

【0064】本実施形態では、第1の書き込み線、第2 50

12

の書き込み線がそれぞれ同じ鋸歯状の形状を有しており、互いが 90° 回転して交差していることが特徴である。本実施形態では第1、第2の書き込み線が平行に走行する領域が二種類存在する。すなわち一つは図中、トンネル接合素子101を取り囲む破線で規定された領域であり、第1の書き込み線と第2の書き込み線は、紙面下辺に垂直に走行している。もう一方は、図中、トンネル接合素子102を取り囲む破線で規定された領域であり、第1の書き込み線と第2の書き込み線は、紙面下辺に平行に走行している。本実施形態では、トンネル接合素子のアスペクト比が1、第1、第2の書き込み線の幅がFで形成されており、記憶セルの面積は $8F^2$ となる。

【0065】異なる領域に配置されたトンネル接合素子101、102はその磁化容易軸が 90° 異なっている必要がある。図10ではアスペクトが1のトンネル接合素子の外形を示したが、本実施形態はこれに限られるものではない。磁化容易軸の制御は、前述のようにセル形状を変化することで容易に実現可能である。またセル形状以外に、第3の強磁性膜との磁氣的結合を利用しても良く、また素子を構成する強磁性膜の結晶磁気異方性を利用しても良い。

【0066】半選択セルへの誤書き込みには二つのモードが存在する。一つは、半選択時の一方向磁界により磁化反転が生じる場合であり、これには磁壁移動を付随する磁化反転が生じた場合に問題となるクリープ現象も含まれる。本発明では、従来例に比べ書き込み時に半選択セルにかかる磁界を小さくすることが可能であり、このモードでの誤書き込みマージンをより高くすることが可能である。

【0067】一方、もう一つは、半選択セルが、選択セル近傍からの漏洩磁界により反転するケースである。これは例えば H_x を感じている半選択セルが、選択セルにかかる H_y の漏洩により反転する場合である。これは選択セルの最隣接セルで生じる誤書き込みであり、先の誤書き込みモードに比べその発生確率が高い。

【0068】本実施形態では、例えばトンネル接合素子101を選択した場合、第1の書き込み配線11にある半選択されたトンネル接合素子102の磁化容易軸とトンネル接合素子101の磁化容易軸は 90° 異なっている。さらにトンネル接合素子101、102はx、y方向にオフセットを持って配置されている。そのため第2の書き込み配線21からの漏洩磁界は、半選択されたトンネル接合素子102に対して、磁化容易軸、磁化困難軸方向にそれぞれ角度を持って印加される。従って実効的な漏洩磁界の値を下げるのができ、誤書き込みマージンをより高くすることが可能である。

【0069】本実施形態では、第1、第2の書き込み線共に鋸歯状の形状を有しているが、これと異なる形態も実現可能である。すなわち(1)隣接するセルの磁化容易

13

軸が相対角を有していること、(2) 隣接するセルがx、y方向共にオフセットを有していること、のいずれか乃至双方が実現できれば、誤書き込みマージンを高めることが可能である。本発明の趣旨を逸脱しない範囲で、これを満たす構造が本発明に含まれることは言うまでもない。

【0070】(第6の実施形態) 図11は本発明の第6の実施形態にかかるセルレイアウトを基板面側から模式的に示す平面図である。図12(a)は図11の断面線A-A'に対応するメモリセルの断面を、図12(b)は図11の断面線B-B'に対応するメモリセルの断面をそれぞれ示した図である。

【0071】図11において、11、12は第1の書き込み線、21、22は第2の書き込み線、101、102は強磁性トンネル接合素子、31、32はコンタクトホールである。また図11(a)、(b)において41は下部電極、501、502は選択トランジスタの拡散領域、51は選択トランジスタのワード線である。第1の書き込み線と、第2の書き込み線は電気的に絶縁されている。また第2の書き込み線はトンネル接合素子と電気的に接続しておりデータ線を兼用している。

【0072】図11、12において、601は下部磁気回路、602は磁束集中器、603は上部磁気回路であり、それらが磁気シールド61、62を構成している。

【0073】本実施形態における基本的なセル配置は第3の実施形態と同一である。本実施形態では、トンネル接合素子近傍で第1の書き込み配線、第2の書き込み配線に磁気シールドが設けられていることにある。本実施形態の磁気シールドは、二つの配線からの磁界をそれぞれ下部磁気回路、上部磁気回路を用いてトンネル接合素子近傍に収束し、磁束集中器により該素子に印加する構造を持つ。

【0074】磁気シールドは第1、第2の書き込み線に平行に形成される。第2の書き込み線の発生磁界方向と磁気シールドの磁化容易軸は平行である。その長さは少なくとも素子の書き込み線方向長さの1.5倍以上あることが好ましい。

【0075】磁気シールドに用いられる材質としては、高透磁率磁性材料であるパーマロイ、Mo添加パーマロイなどのNi基合金、センダスト、ファインメットなどのFe基合金を用いることができる。またフェライト等の酸化物強磁性体も用いることが可能である。

【0076】MRAM書き込み動作における書き込み電流のパルス幅は通常100ns以下である。そのため磁気シールド材は書き込み電流パルスに対してその磁化応答が追従可能な特性を有していることが必要である。その目的から、(1) 初透磁率が少なくとも100以上であること、(2) 飽和磁化が小さいこと、(3) 材料の比抵抗が高いこと、が満たされていることが望ましい。これらの条件を満たすために前記合金に添加物を加える、また

14

Si、B等のメタロイド、またCu、Cr、V等の粒界析出物を作りやすい添加物を加え、該合金の微結晶集合体、アモルファスを形成することは好ましい形態である。

【0077】また、磁気シールド内の磁区制御を行う目的で、形状を最適化することがより好ましい。

【0078】磁気シールドは、(1) 配線周囲に生じる磁束を磁気回路中に収束させるため、配線からの発生磁界を効率的にトンネル接合素子に印加できる、(2) 磁束集中器を用い、磁気回路の貫通磁束が、素子近傍に有効に印加するように、構造を最適化することで、層の磁界増強が図れる、(3) 配線からの漏洩磁束を磁気回路で遮断することが可能なため、半選択セルに対する誤書き込みマージンを高めることができる、という効果を有する。特に本実施形態のようにトンネル接合素子が、上部磁気回路、下部磁気回路により完全に覆われている構造を有していると、(3)の効果をより高めることができるだけでなく、外部磁界に対する磁気シールドの効果を有するという新しい利点を持つ。

【0079】図13に示す本実施形態のセル構造では、第1の書き込み線の折れ曲がり部分で発生する磁界Hxのうち、第2の書き込み線の発生磁界方向Hyと平行な成分は磁気シールドにより増強されるが、Hyと垂直な成分は磁気シールドでは増強されない。すなわち本実施形態の磁気シールドは、配線からの任意方向の磁界のうち一方向成分のみを選択して増強する機能を有している。

【0080】(第7の実施形態) 第6の実施形態では、Hxのうち、第2の書き込み線の発生磁界方向Hyと平行な成分が増強されるため、実効的に磁化困難軸方向の磁界成分は非常に小さくなる。同様に配線からの磁化困難軸方向の磁界成分が非常に小さい場合、または磁化困難軸方向の磁界成分が存在しない場合、第1の実施形態で詳述したような動作点設定はそのままでは困難である。

【0081】これを改善するためには、図14(a)、(b)に模式的に示すようにトンネル接合素子101に近傍にバイアス膜701、702を配置し、素子困難軸方向にバイアス磁界を印加するのが効果的である。バイアス膜701、702の磁化方向はトンネル接合素子に印加したい磁界の方向にするのがよい。例えばトンネル接合素子の困難軸方向に磁界を印加するには、バイアス膜の磁化方向は磁化困難軸に平行にすればよい。

【0082】バイアス膜701、702の配置としては、図14(a)に示すようにトンネル接合素子101に隣接して配置する方法、また図14(b)に示すようにトンネル接合素子にオーバーラップして配置する方法が存在する。

【0083】前者は、バイアス磁界の強度がトンネル接合素子101とバイアス膜との間隔に依存して変化する

15

ため、制御が容易であるが、バイアス磁界の大きさを強くすることは困難である。

【0084】後者は、さらにトンネル接合素子と101とバイアス膜701、702が直接交換結合している場合、非磁性膜、絶縁膜を介した層間結合が存在する場合、磁気的な結合がほとんど存在しない場合の三通りが考えられる。トンネル接合素子101とバイアス膜701、702の間に何らかの磁気的な結合が存在する場合、バイアス磁界の大きさを十分強くすることができ有利である。またトンネル接合素子101の端部に生じる磁区制御を有効に行うこともできる。

【0085】バイアス膜としては、(1) トンネル接合素子101より保磁力の高い高保磁力磁性膜、(2) トンネル接合素子101より保磁力の低い軟磁性膜の二つを用いることが可能である。

【0086】(1) の場合には、バイアス膜は磁気シールド61を形成する磁気集中器602の内部に配置することも可能である。その場合、バイアス膜の異方性磁界の大きさが、磁気集中器602内部の発生磁界の大きさよりも十分に大きいことが必要である。

【0087】このようなバイアス膜としては、例えばC o P t合金、C o / P t多層膜のような硬質磁性合金、多層膜、またC o / C u多層膜のような強い層間結合を有する多層膜、またP t M n等の反強磁性体と硬質磁性合金との積層膜等を用いることができる。この場合には、大きな異方性磁界を有すること以外に、膜の飽和磁化が十分大きいことが必要である。

【0088】(2) の場合には、バイアス膜を磁気シールド61を形成する磁気集中器602の内部に配置することは困難であり、その外部に配置する必要がある。磁気集中器602外部では、磁気集中器602の端部磁極の影響から、磁力線方向はトンネル接合素子の磁化困難軸方向の成分を持つ。この磁化困難軸方向成分によりトンネル接合素子の磁化困難軸に磁化反転が生じるような軟磁性膜をバイアス膜に用いることで、有効な困難軸方向バイアス磁界を与えることができる。

【0089】このようなバイアス膜としては、例えばN i F e合金、のような軟磁性合金、アモルファス合金を用いることができる。この場合には、高い初透磁率を有すること以外に、膜の飽和磁化が十分大きいことが必要である。

【0090】このようなバイアス磁界を印加した場合のセル選択動作を図15を用いて説明する。ここでは、磁気シールドの存在により第1、第2の書き込み線とともにその発生磁界はトンネル接合素子の磁化容易軸に平行であるとする。図に示すように、選択セルでは、容易軸方向の磁界 $H_x + H_y$ に加え、困難軸方向磁界 H_b が存在するため、合成磁界ではスイッチング閾値を超える。一方、半選択セルでは、容易軸方向の磁界は H_x 、または H_y の一方のみであり、それに困難軸方向 H_b を合成し

16

てもスイッチング閾値を超えることはない。

【0091】本実施形態のようにバイアス膜によりバイアス磁界を印加すると、書き込みに要する電流値を低減することが可能である。電流値を低減することで、消費電力の低減のみならず、半選択セルの誤書き込みマージンの向上、配線寿命の向上が見込まれその効果は非常に大きくなる。

【0092】(第8の実施形態) 図16は本発明の第8の実施形態にかかるセルレイアウトを基板側から模式的に示す平面図である。図17(a)は図16の断面線A-A'に対応するメモリセルの断面を、図17(b)は図16の断面線B-B'に対応するメモリセルの断面をそれぞれ示した図である。

【0093】図16において、11、12は第1の書き込み線、21、22は第2の書き込み線、101、102は強磁性トンネル接合素子である。また図17

(a)、(b)において41は下部電極、501、502は選択トランジスタの拡散領域、51は選択トランジスタのワード線である。第1の書き込み線と、第2の書き込み線は下部電極、トンネル磁気抵抗素子を介して電氣的に接続されており、トンネル接合素子へのセンス電流回路を兼用している。

【0094】図16、17において、601は下部磁気回路、602は磁束集中器であり、それらが磁気シールド61、62を構成している。

【0095】本実施形態は基本的には第6の実施形態とその構成が同一だが、第1の書き込み線と第2の書き込み線がトンネル接合素子近傍に於いて同一平面上に位置していることが特徴であり、略膜面内にトンネル電流が流れるようなグラニューラトンネル接合素子、ランプエッジ型のような平面型トンネル接合素子への適用に適している。

【0096】書き込み時には第1、第2の書き込み線間に電位差が生じるが、それによるリーク電流、素子破壊等の影響を軽減する目的で、下部電極41を整流作用を持つ素子で構成するのは好ましい形態である。

【0097】

【発明の効果】以上詳述したように、本発明によれば、配線からの磁界発生効率を高めること、さらに書き込み時の半選択セルへの誤書き込みを防ぐため書き換え電流値の許容幅を高めることが可能となり、その効果は非常に大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施形態におけるメモリセルレイアウトを模式的に示した図。

【図2】第1の実施形態におけるメモリセル断面を模式的に示した図で、(a)は図1のA-A'線に沿った断面図、(b)はB-B'線に沿った断面図。

【図3】本発明の実施形態におけるメモリセルアレイの構成を模式的に示したブロック図。

17

【図 4】(a) は従来のクロスポイント方式における書き込み動作時のセル選択原理を説明した図で、(b) は第 1 の実施形態における書き込み動作時のセル選択原理を説明した図。

【図 5】第 1 の実施形態におけるメモリセル構造のヴァリエーションを模式的に示した図。

【図 6】本発明の第 2 の実施形態におけるメモリセルレイアウトを模式的に示した図。

【図 7】第 2 の実施形態におけるメモリセル断面を模式的に示した図で、(a) は図 6 の A-A' 線に沿った断面図、(b) は B-B' 線に沿った断面図。

【図 8】本発明の第 3 の実施形態におけるメモリセルレイアウトを模式的に示した図。

【図 9】本発明の第 4 の実施形態におけるメモリセルレイアウトを模式的に示した図。

【図 10】本発明の第 5 の実施形態におけるメモリセルレイアウトを模式的に示した図。

【図 11】本発明の第 6 の実施形態におけるメモリセルレイアウトを模式的に示した図。

【図 12】第 6 の実施形態におけるメモリセル断面を模式的に示した図で、(a) は図 11 の A-A' 線に沿った断面図、(b) は B-B' 線に沿った断面図。

【図 13】第 6 の実施形態におけるメモリセル構造を模*

18

*式的に示したレイアウト図。

【図 14】本発明の第 7 の実施形態におけるメモリセル構造を模式的に示したレイアウト図。

【図 15】第 7 の実施形態における書き込み動作時のセル選択原理を説明した図。

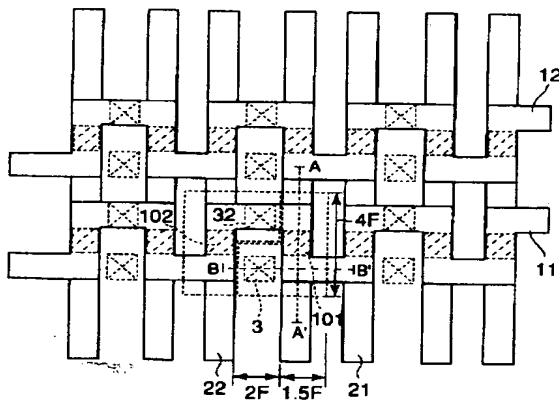
【図 16】本発明の第 8 の実施形態におけるメモリセルレイアウトを模式的に示した図。

【図 17】第 8 の実施形態におけるメモリセル断面を模式的に示した図で、(a) は図 16 の A-A' 線に沿った断面図、(b) は B-B' 線に沿った断面図。

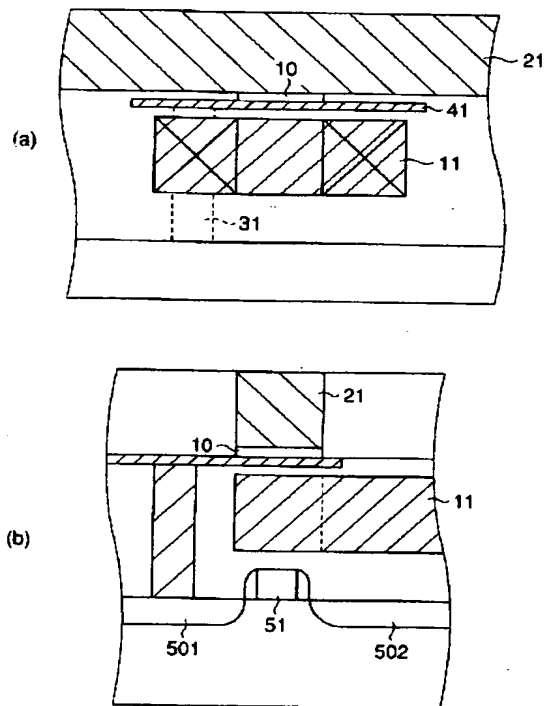
【符号の説明】

- 11、12…第 1 の書き込み線
- 21、22…第 2 の書き込み線
- 31、32…コンタクトホール
- 41、42…下部電極
- 51…セル選択トランジスタ
- 61、62…磁気シールド
- 101、102…トンネル接合素子
- 501、502…拡散領域
- 601…下部磁気回路
- 602…磁束集中器
- 603…上部磁気回路
- 701、702…バイアス膜

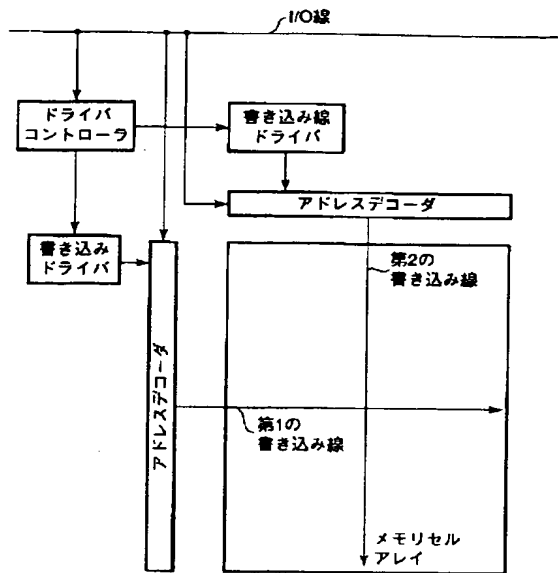
【図 1】



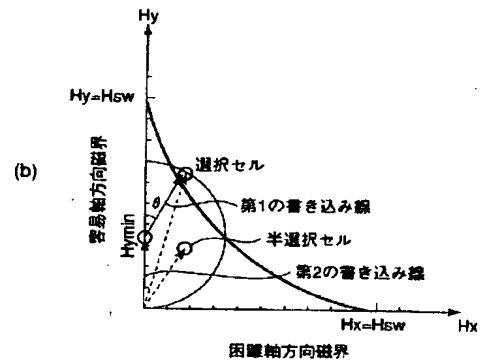
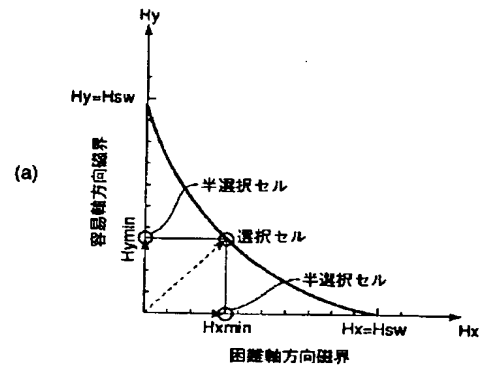
【図 2】



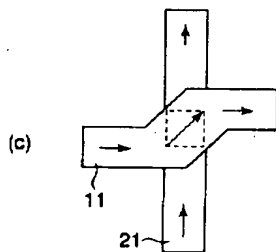
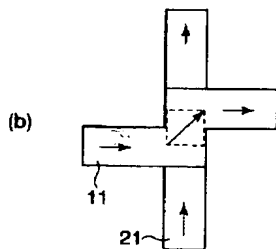
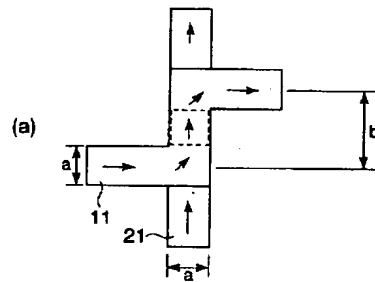
【図 3】



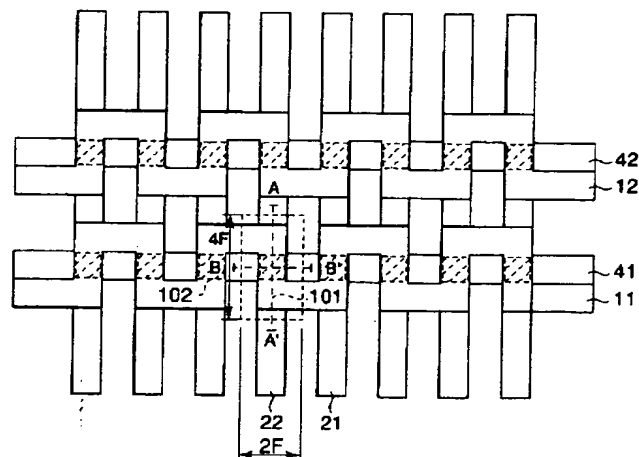
【図 4】



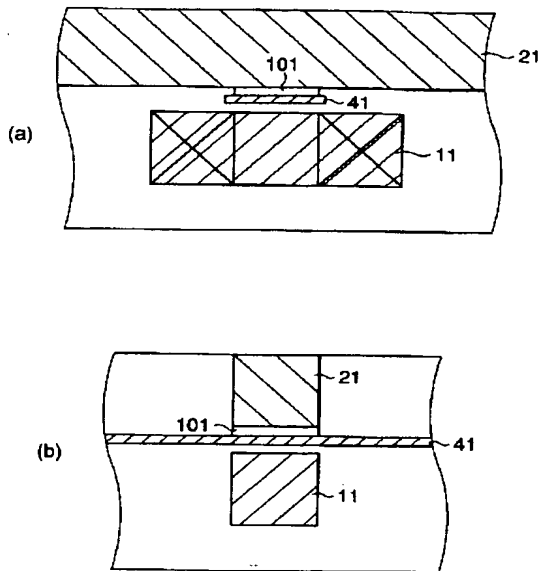
【図 5】



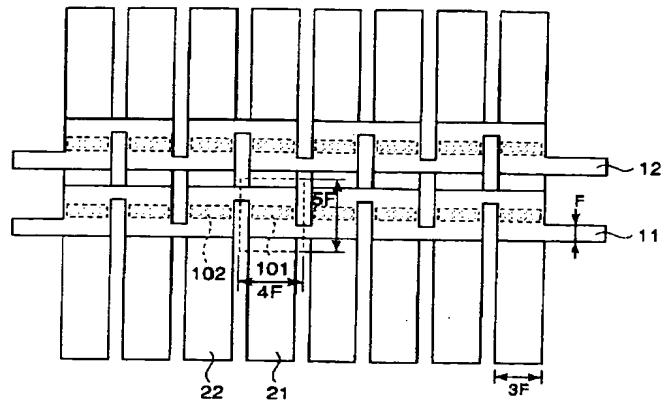
【図 6】



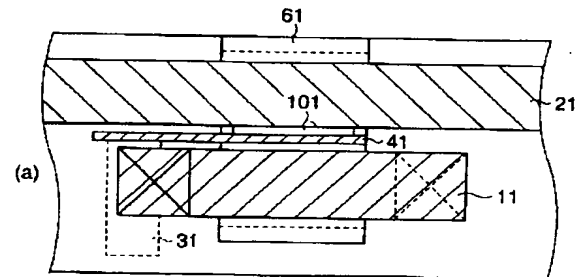
【図 7】



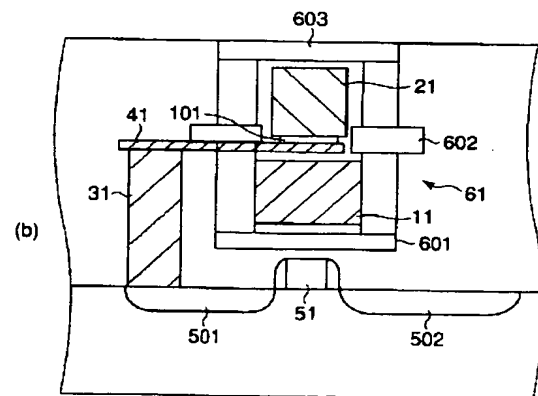
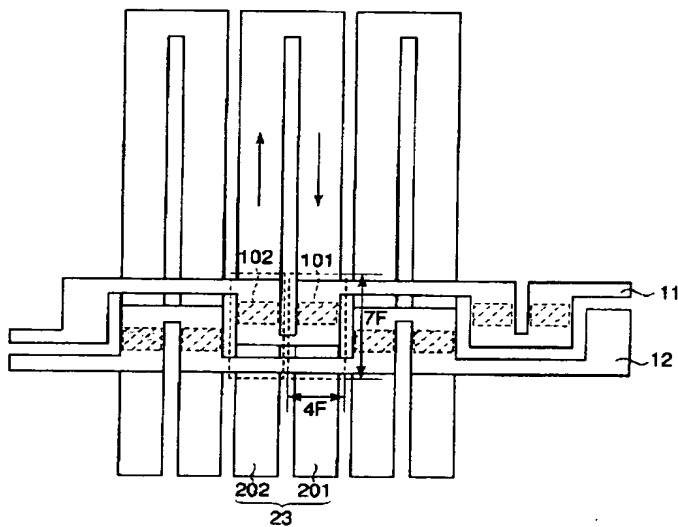
【図 8】



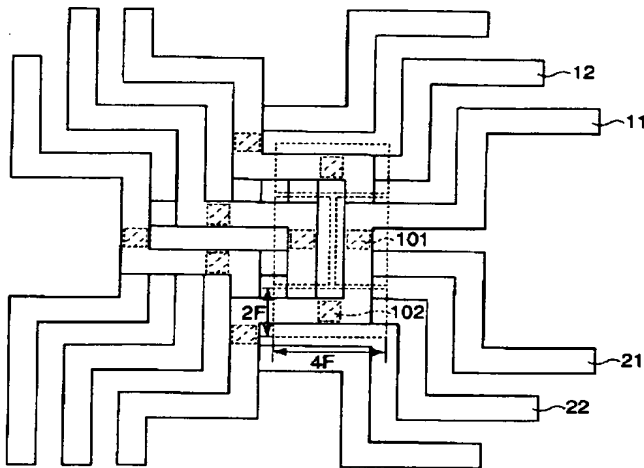
【図 12】



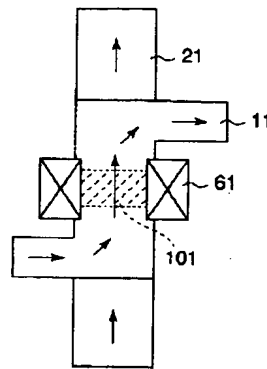
【図 9】



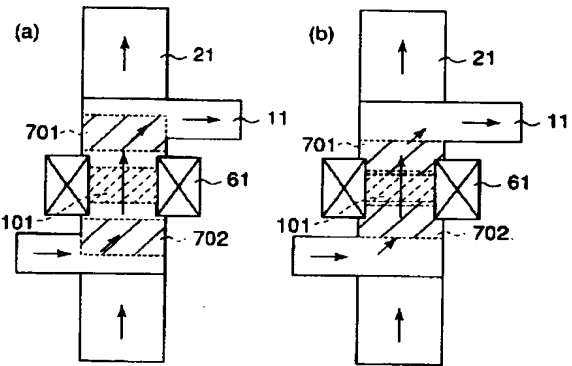
【図10】



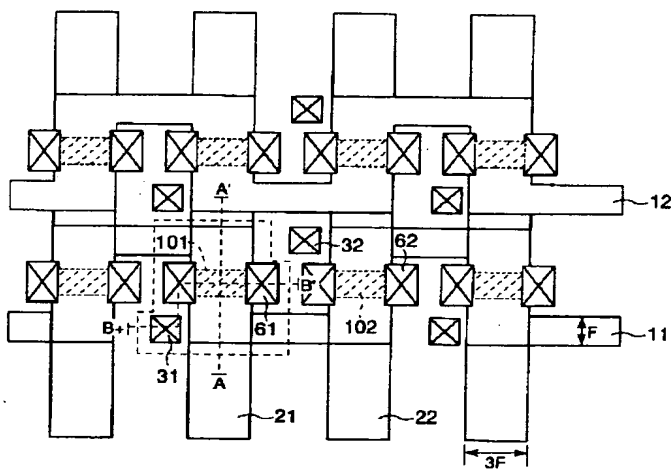
【図13】



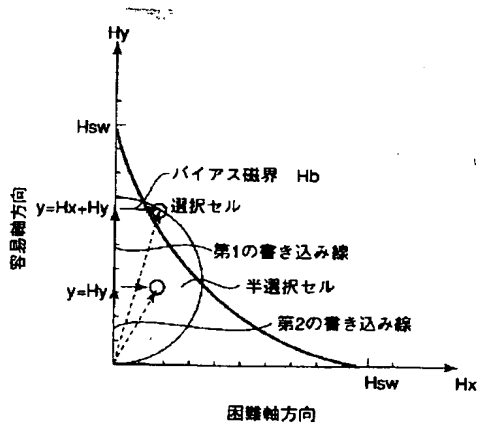
【図14】



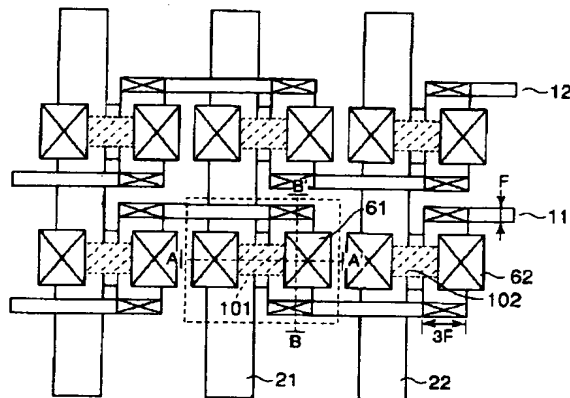
【図11】



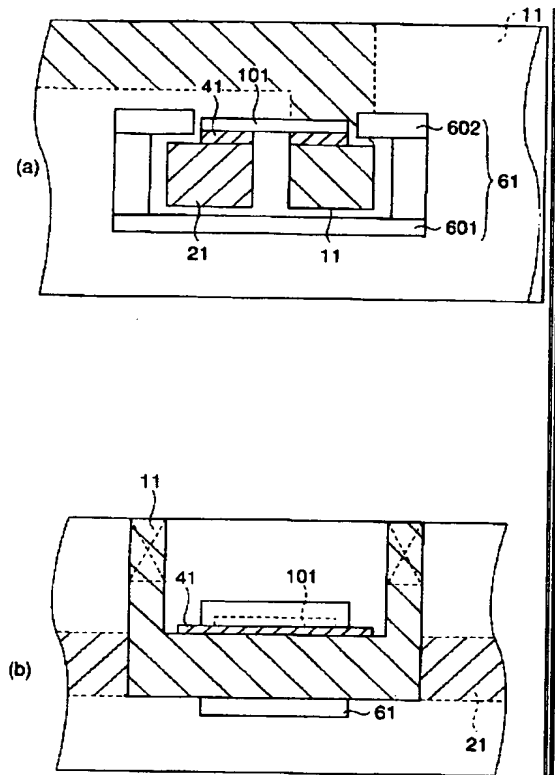
【図15】



【図16】



【図 17】



フロントページの続き

(72) 発明者 砂井 正之
 神奈川県川崎市幸区小向東芝町 1 番地 株
 式会社東芝研究開発センター内

F ターム (参考) 5F083 FZ10 GA01 GA05 GA09 GA15
 JA60 LA01 LA02 LA11